

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tetsuya MATSUMURA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: IMAGE CODING APPARATUS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-059795	March 6, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913
C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 3月 6日

出願番号

Application Number:

特願2003-059795

[ST.10/C]:

[JP2003-059795]

出願人

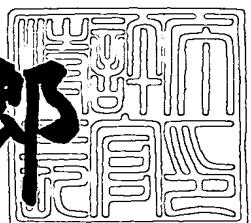
Applicant(s):

三菱電機株式会社

2003年 3月 28日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3021669

【書類名】 特許願
【整理番号】 542797JP01
【提出日】 平成15年 3月 6日
【あて先】 特許庁長官殿
【国際特許分類】 H04N 7/32
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 松村 哲哉
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 熊木 哲
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100089233
【弁理士】
【氏名又は名称】 吉田 茂明
【選任した代理人】
【識別番号】 100088672
【弁理士】
【氏名又は名称】 吉竹 英俊
【選任した代理人】
【識別番号】 100088845
【弁理士】
【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 画像符号化装置

【特許請求の範囲】

【請求項1】 動画像を規定した映像信号を入力し、該映像信号に対し第1及び第2の符号化処理を行い出力ビットストリーム信号を出力する動画像符号化器と、

前記動画像符号化器の符号化動作を制御する符号化制御部とを備え、

前記符号化制御部は、前記動画像符号化器が所定期間内に前記第1及び第2の符号化処理を休止期間を設けることなく連続して行うように制御する、
画像符号化装置。

【請求項2】 請求項1記載の画像符号化装置であって、

前記動画像符号化器に接続される記憶部をさらに備え、

前記動画像符号化器は、前記第1の符号化処理によって得られる符号化処理用情報を前記記憶部に格納し、前記第2の符号化処理に際し前記記憶部から得られる前記符号化処理用情報を用いて前記第2の符号化処理を実行して前記出力ビットストリーム信号を出力する、

画像符号化装置。

【請求項3】 請求項2記載の画像符号化装置であって、

前記動画像符号化器は、同種で内容が異なる第1及び第2の部分符号化処理を実行する第1及び第2の部分符号化部を含み、

前記第1の符号化処理は前記第1の部分符号化部による前記第1の部分符号化処理を含み、

前記第2の符号化処理は前記第2の部分符号化部による前記第2の部分符号化処理を含む、

画像符号化装置。

【請求項4】 請求項2記載の画像符号化装置であって、

前記符号化処理用情報は前記第2の符号化処理で必要な種々のパラメータを規定した符号化パラメータを含む、

画像符号化装置。

【請求項5】 請求項1記載の画像符号化装置であって、
前記動画像符号化器に接続される記憶部をさらに備え、
前記動画像符号化器は、前記第1の符号化処理によって得られる第1のビット
ストリーム信号を前記記憶部に格納し、前記第2の符号化処理を実行して第2の
ビットストリーム信号を得、該第2のビットストリーム信号と前記記憶部から得
られる前記第1のビットストリーム信号との比較結果に基づき、一のビットスト
リーム信号を前記出力ビットストリーム信号として出力する、
画像符号化装置。

【請求項6】 請求項1ないし請求項5のうち、いずれか1項に記載の画像
符号化装置であって、

前記第1及び第2の符号化処理は同一フレームに相当する映像信号に対して行
われる、
画像符号化装置。

【請求項7】 請求項1ないし請求項5のうち、いずれか1項に記載の画像
符号化装置であって、

前記第1及び第2の符号化処理は異なるフレームに相当する映像信号に対して
行われる、
画像符号化装置。

【請求項8】 請求項2ないし請求項7のうち、いずれか1項に記載の画像
符号化装置であって、

前記記憶部は前記符号化処理用情報をマクロブロック単位に2次元的に格納す
ることを特徴とする、
画像符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像符号化装置に関し、特に動画像を符号化する画像符号化装置に関
するものである。

【0002】

【従来の技術】

録再型D V Dや、D - V H S、デジタル放送送信機などのデジタルA V機器には画像圧縮の国際標準であるM P E G 2規格が用いられている。

【0003】

M P E G 2の符号化処理は、比較的高いビットレート（例えばD V Dでは4～6 M b p s）では画像劣化が比較的少なく高画質化が可能であるが、録画時間が記録媒体によって制限があるため、比較的低いビットレートでの符号化が望まれている（例えばD V Dでは2～3 M b p s）。この場合、符号化対象画像を予め画像サイズ変換器（解像度変換器）によって $3/4$ 、 $2/3$ あるいは $1/2$ のサイズに変換し、そのサイズの画像に対してM P E G 2の符号化を行う方式が一般的には採用されている。しかしながら、現画像の解像度が劣化することに加え、低いターゲットビットレートにて符号化処理を行うため、画質劣化が大きく、高画質化を阻害する要因となっていた。

【0004】

そして、M P E G 2相当の動画像符号化装置として、2パス符号化方式を用いた動画像符号化装置を、符号化器を1つ用いただけの構成で実現し、装置規模を小規模にした装置が特許文献1に開示されている。しかしながら、この処理はデータの多重化及び分離を行っているため、処理が複雑であるという問題点があった。

【0005】

【特許文献1】

特開2002-16912号公報

【0006】

【発明が解決しようとする課題】

この発明は、上記したM P E G 2の問題点を解決するためになされたもので、ハードウェア（符号化のためのリソース）を増加させること無く、2パス符号化処理を効率的に実現する画像符号化装置を得ることを目的とする。

【0007】

【課題を解決するための手段】

この発明に係る請求項1記載の画像符号化装置は、動画像を規定した映像信号を入力し、該映像信号に対し第1及び第2の符号化処理を行い出力ビットストリーム信号を出力する動画像符号化器と、前記動画像符号化器の符号化動作を制御する符号化制御部とを備え、前記符号化制御部は、前記動画像符号化器が所定期間に前記第1及び第2の符号化処理を休止期間を設けることなく連続して行うように制御する。

【0008】

【発明の実施の形態】

<前提技術>

図1はこの発明を理解する上での前提技術となる、MPEG2に準拠した一般的な画像符号化装置の構成を示すブロック図である。

【0009】

同図に示すように、画像符号化装置は符号化LSI101及び外部DRAM111から構成される。一般的な符号化LSI101はMPEG2符号化器102、パラメータ入力部108、パラメータ出力部109及びSDRAMインターフェース部110、並びにビデオ入力端子112、ビデオ出力端子113、パラメータ入力端子116、パラメータ出力端子117及び、ビットストリーム出力端子114で構成される。

【0010】

MPEG2符号化器102は、符号化制御部107と、信号処理部であるビデオ信号入出力部103、動き予測／動き補償部104、DCT／Q及びIDCT／IQ部105、及び可変長符号化部106から構成される。これらはそれぞれの機能ブロック単位（各構成部103～106で授受されるデータ単位）でSDRAM（外部DRAM111）に対してデータの書き込み及び読み出しを行いつつ符号化を実行している。

【0011】

符号化LSI101はビデオ入力端子112、ビデオ出力端子113、ビットストリーム出力端子114、SDRAMポート115、パラメータ入力端子116、パラメータ出力端子117符号化パラメータ入力ポート108、符号化パラ

メータ出力ポート109、及びビットストリーム出力ポート114の6種の入出力ポート（端子）を持つ。また、外部DRAM111のI/Oビット巾は、LSIのピン数（I/Oピン）の制限から、実質的には、16ビット、32ビット、64ビットなどを想定する。

【0012】

ビデオ入力端子112より入力されたビデオ入力信号SV1は、ビデオ信号入出力部103によって、フィルタリングや特徴抽出の処理が施される。ビデオ信号入出力部103は、必要に応じて、符号化対象画像サイズを変換する解像度変換処理をビデオ入力信号SV1に対して実施する。

【0013】

図2は種々の映像フォーマットを示す説明図である。以下、図2を参照しながら解像度変換処理について説明する。図2の(a)は現行テレビジョン信号（NTSC信号）をデジタル化した場合に得られる最も一般的な映像フォーマットであり、ここではD1フォーマットと称する。D1フォーマットは720画素×480ラインの解像度を持ち、一般的なデジタルAV機器（DVD、STB(Set Top Box)、デジタルビデオ）で標準的に使用されている。

【0014】

これに対し、図2の(b)で示すフォーマットは、3/4 D1フォーマットと呼ばれ、544画素×480ライン、図2の(c)で示すフォーマットは2/3 D1フォーマットと呼ばれ、480画素×480ライン、図2の(d)で示すフォーマットは1/2（ハーフ）D1フォーマットと呼ばれ、352（360）画素×480ラインで構成される。例えばDVDやデジタル放送などの現行TVを対象とした応用では、通常D1フォーマットが使われるが、対象となるハードウェアの信号処理能力が不足する場合や、通常よりも低いビットレートで符号化を行う場合には、必要に応じて、3/4 D1フォーマット、2/3 D1フォーマット、ハーフD1フォーマットを適宜使用する。このため、MPEG2の符号化装置に基本的に解像度変換回路が装備されている。

【0015】

図3は一般的な2パス符号化装置の構成を示すブロック図である。図3で示す

2パス符号化装置は図1に示したMPEG2符号化装置102を2系統、縦続接続した構成である。

【0016】

以下、図3を参照して、従来の2パス符号化方式について簡単に説明する。前段階のMPEG2符号化装置21は、符号化対象となるビデオ入力信号SV1を入力し、順次MPEG2の符号化動作を行う。このとき、符号化を行う際の種々のパラメータ情報を外部DRAM111の任意の領域に蓄えておく。この符号化パラメータとは、各マクロブロックの動き予測情報、マクロブロックタイプの判定情報、量子化情報、発生符号化量などである。

【0017】

これらの符号化パラメータ情報は、パラメータ出力部を介してパラメータ情報DP12として出力され、後段の符号化器のパラメータ入力部にパラメータ情報DP21として入力される。後段のMPEG2符号化装置22は、符号化対象となる遅延ビデオ入力信号DSV1をフレーム遅延ユニット23を介して得る。すなわち、MPEG2符号化装置22はビデオ入力信号SV1からフレーム遅延部23によって必要なフレーム遅延をかけた遅延ビデオ入力信号DSV1を入力とし、順次MPEG2の符号化を実施しビットストリーム信号SBS2を送出する。このとき各符号化のステージで、前段のMPEG2符号化装置21のパラメータ情報DP21(DP12)をパラメータ入力部から入力し、これをおのおのピクチャ層、スライス層、マクロブロック層単位で、必要な符号化パラメータ(前段のMPEG2符号化装置21より得られた符号化パラメータ)を参照しながら後段のMPEG2符号化装置22に最適な符号化パラメータを決定するということを実施する。

【0018】

上記説明した構成によれば、いかなる場合でも2パス符号化が実現できるが、そのためには2系統(2個以上)のMPEG2符号化装置とフレーム遅延を実現するためのフレームメモリが必要になってくる。本発明は、1系統(1個)のMPEG2符号化器を用いて、2パス符号化を効率的に実現するための手法及び画像符号化装置について述べたものである。

【0019】

<実施の形態1>

図4はこの発明の実施の形態1である画像符号化処理の構成を示すブロック図である。同図に示すように、画像符号化装置は符号化LSI401及び外部DRAM411で構成される。

【0020】

符号化LSI401はMPEG2符号化器402(動画像符号化器)、及びSDRAMインターフェース部410と、並びにビデオ入力端子412、ビデオ出力端子113、及びビットストリーム出力端子114とから構成される。

【0021】

MPEG2符号化器402は符号化制御部407、符号化パラメータ入出力部416及び各信号処理部で構成される。信号処理部はビデオ信号入出力部403、動き予測／動き補償部404、DCT/Q、IDCT/Q部405、及び可変長符号化部406で構成され、それぞれの動作が符号化制御部407によって。また、パラメータ入出力部408も符号化制御部107によって制御される。

【0022】

以下、信号処理部の接続関係の詳細を説明する。ビデオ入出力部403はビデオ入力端子412よりビデオ入力信号SV1(動画像を規定した映像信号)を受け、解像度変換処理を含む信号処理を行いビデオ出力端子413からビデオ出力信号SV0を出力し、信号処理結果を動き予測／動き補償部404に与える。

【0023】

動き予測／動き補償部404はビデオ入出力部403の信号処理結果に基づき動き予測、動き補償を行い、その信号処理結果をDCT/Q及びIDCT/IQ部405に与える。

【0024】

DCT/Q及びIDCT/IQ部405は、動き予測／動き補償部404の信号処理結果に対して離散コサイン変換(DCT:Discrete Cosine Transform)処理、量子化処理(Q)を行い信号処理結果を得る。この際、信号処理結果をフィードバックさせるための逆離散コサイン処理(IDCT)及び逆量子化処理(

I Q) も行う。

【0025】

可変長符号化部406はDCT/Q及びIDCT/IQ部405の信号処理結果に対して可変長符号化処理を行い、ビットストリーム出力端子414からビットストリーム信号SBSを出力する。

【0026】

パラメータ入出力部408は外部DRAM411に格納された符号化パラメータの入出力をを行い、符号化制御部407を介して符号化パラメータをMPEG2符号化器402、ビデオ入出力部403、動き予測／動き補償部404及びDCT/Q及びIDCT/IQ部405に与えることができる。

【0027】

そして、各構成部403～406はそれぞれ機能ブロック単位で外部DRAM411（記憶部）に対してデータの書き込み及び読み出しを行いつつ符号化を実行している。

【0028】

符号化LSI101はビデオ入力端子412、ビデオ出力端子413、SDRAMポート415、及びビットストリーム出力ポート414の4種の入出力ポート（端子）を持つ。また、外部DRAM411のI/Oビット巾は、LSIのピン数（I/Oピン）の制限から、実質的には、16ビット、32ビット、64ビットなどを想定する。

【0029】

ここで、MPEG2符号化器は現行TV画像、すなわちD1フォーマットの映像を1秒間に30枚処理できる能力（MPEG2の規格ではMP ML）を有するものとする。その処理能力自体は、図1に示した、従来のMPEG2符号化器と同等のものである。また、ここでは、符号化パラメータ入力端子および符号化パラメータ出力端子が外部ピンとしてアサインされていないが、これは基本的には外部から符号化パラメータを入力したり、あるいは外部に符号化パラメータを出力する必要のない符号化動作を想定しているためである。

【0030】

ここで、図4を用いて符号化動作を説明する。入力されたビデオ入力信号S V 1 (NTSC信号)は、下記のシーケンスに従って、フレーム単位にM P E G 2 の符号化動作を行う。デジタル化されたビデオ入力信号(ex. ITU-R-656形式)はまず、ビデオ入出力部403に入力される。その後、信号処理結果が外部D R A M 4 1 1上の原画領域に書き込まれる。ここで、図4において、圧縮動作はD C T、量子化(Q)、及び可変長符号化の順にしたがってマクロブロック単位で実行される。その後、この原画ビットストリームは、しかるべきリオーダリング(符号化する画像の順位を変える処理)を行った後に、Iピクチャ、もしくはPピクチャ、もしくはBピクチャと呼ばれるピクチャタイプで符号化される。

【0031】

ここでは、すべてのデータ転送を必要とするPピクチャもしくはBピクチャの符号化シーケンスについて説明する。外部D R A M 4 1 1を介して動きの検索のためのテンプレート画像、符号化対象画像として外部D R A M 4 1 1から読み出される。

【0032】

外部D R A M 4 1 1上のデータはそれぞれ動き予測／動き補償部404、D C T／Q及びI D C T／I Q部405に転送される。また、動き予測／動き補償部404では同時に予め書きこまれてある再構成画像ビットストリーム領域からサーチウインドウとして必要な領域のビットストリームを外部D R A M 4 1 1から転送し、サーチウインドウデータとして得ることができる。

【0033】

その後、動き予測／動き補償部404で得られた最適動きベクトルにしたがって、予測画像を生成し、D C T／Q及びI D C T／I Q部405によってD C T及びQ(量子化)処理が実行された後、可変長符号化部406によって可変長符号化処理が行われ、最終的には、ビットストリーム信号S B S(出力ビットストリーム信号)としてビットストリーム出力端子414から送出される。本符号化動作では、ビットストリームの符号化動作をピクチャーシーケンスにしたがって実行していく。この動作をまとめると以下の①～⑧で示すシーケンスとなる。

【0034】

- ①原画像データの取り込み（ビデオ入出力（ビデオ入力信号S V 1 の入力、ビデオ出力信号 S V 0 の出力）→外部フレームメモリ（外部D R A M 1 1 1））
- ②符号化対象画像の読み出し（外部フレームメモリ→D C T / Q ユニット（D C T / Q 及び I D C T / I Q 部 4 0 5））
- ③動き探索（整数精度検索（1画素の精度の探索））（外部フレームメモリ→動き予測／補償ユニット（動き予測／動き補償部 4 0 4））
- ④動き探索（ハーフペル（1／2画素の高精度の探索））（外部フレームメモリ→動き予測／補償ユニット）
- ⑤予測画像（動きベクトルで指定されたマクロブロック単位の画像）の生成（外部フレームメモリ→動き予測／補償ユニット）
- ⑥再構成画像（予測画像に基づき再生されたマクロブロック単位の画像）の書き込み（動き予測／補償ユニット→外部フレームメモリ）
- ⑦符号化データの書き込み、読み出し（可変長符号化ユニット（可変長符号化部 4 0 6）←→外部フレームメモリ）
- ⑧復号画像（再構成画像の1画面分の画像）（外部フレームメモリ→ビデオ入出力）

【0035】

ここで、①原画像データ取り込みの処理においては、映像信号の性質によって、解像度変換を実施しD 1 フォーマットから、3／4、2／3、ハーフD 1 フォーマットに変換した形で原画像を格納する。②以降の処理から実質的なM P E G 2 の符号化動作を開始する。なお、③、④の2種類の探索によって迅速（③の探索による比較的高速な探索）、かつ精度（④の探索による比較的高精度な探索）の高い動きベクトルを得ることができる。また、予測画像とは動き予測／補償ユニットにより得られた動きベクトルに基づく画像である。再構成画像は予測画像を逆量子化（I Q），逆D C T 変換して得られる画像である。符号化データはD C T / Q ユニットより得られた信号を可変長符号化ユニットにより符号化されたデータである。

【0036】

図5は1パス符号化時におけるMPEG2符号化動作期間割り当て内容を示す説明図である。同図に示すように、1フレーム期間（NTSCの場合33.3ms）内にピクチャ前処理期間 t_{p1} 、ピクチャ後処理期間 t_{p2} 及びマクロブロック処理期間TMBを割り当てる必要がある。なお、フレーム期間の最初に示した黒い塗りつぶし部分はフレーム同期パルスを意味する。

【0037】

D1フォーマットのビデオ信号を符号化処理する場合には、1フレーム期間のほぼすべてを符号化処理時間であるマクロブロック処理期間TMB1に割り当てる。ただし、フレームの処理の開始時には、そのフレームのピクチャタイプの決定、ターゲットビット量（目標圧縮ビット量）の決定などフレーム全体にかかる符号化パラメータを決定し各ハードウェアをイニシャライズするなどの全処理（ピクチャ前処理）を行う。このピクチャ前処理に要する期間がピクチャ前処理期間 t_{p1} である。

【0038】

その後、マクロブロック処理期間TMB1においてマクロブロック単位で上述した②～⑧の符号化動作を行う。

【0039】

マクロブロック処理期間TMB1が終了すると、発生ビット量の算出などそのフレームにおいて必要な後処理（ピクチャ後処理）を行い、そのフレーム（ピクチャ）の符号化を終了する。このピクチャ後処理に要する期間がピクチャ後処理期間 t_{p2} である。

【0040】

ピクチャ前処理期間 t_{p1} 及びピクチャ後処理期間 t_{p2} はそれぞれ数十μsecで、ほとんどの時間はマクロブロック処理期間TMB1に割り当てられる。

【0041】

図5において、例えば符号化対象画像がハーフD1フォーマットの場合について説明する。ハーフD1フォーマットにおいては対象画像サイズがD1フォーマットの半分になるため、処理が必要なマイクロブロック数も半分となる。具体的にはD1フォーマットが1フレームにつき1350MB（マクロブロック）であ

るのに対し、ハーフD1は660MBである。このため、ハーフD1フォーマット符号化時のマクロブロック処理期間TMB2は図5に示すようにD1フォーマット符号化時のマクロブロック処理期間TMB1の約半分の時間で符号化動作を終了し、残りの期間は、処理の休止期間TR2期間となる。 $3/4$ D1フォーマットの場合の符号化動作においても同様に、フレーム期間の約 $3/4$ を使用し残りの $1/4$ は休止期間TR3となる。

【0042】

図6は本発明の実施の形態1である符号化LSIによるMPEG2符号化動作期間割り当て内容を示す説明図である。

【0043】

以下、同図を参照して実施の形態1の符号化動作について説明する。ビデオ入出力部403によって解像度変換が実施された場合、図5における休止期間(TR2, TR3)を利用して、符号化動作を行うこと、つまり、1フレーム期間(所定期間)に2つのフレーム(実施の形態1では同一フレーム(nフレーム)を対象とする)に対する第1及び第2の符号化処理を休止期間を設けることなく連続して行うことにより、等価的に2パス符号化動作を実現するものである。

【0044】

図6においては、ハーフD1フォーマットの映像(フレーム)を符号化する際の期間割り当てについて記している。同図に示すように、ハーフD1フォーマットの2パス符号化処理用の期間であるマクロブロック処理期間TMB21, TMB22を1フレーム期間中に設けて、1フレーム期間内にハーフD1フォーマットの2パス符号化処理を実行している。なお、ピクチャ前処理期間tp11, tp21はマクロブロック処理期間TMB21, TMB22の前に設けられるピクチャ前処理時間であり、ピクチャ後処理期間tp12, tp22はマクロブロック処理期間TMB21, TMB22の後に設けられるピクチャ後処理時間である。

【0045】

ここで第nフレーム(ハーフD1フォーマット)の符号化を行う際、前半の期間(マクロブロック処理期間TMB21)で一度、MPEG2の符号化動作を実

施する。このとき、符号化時に生成される種々の符号化パラメータ（下記参照）は図4のパラメータ入出力部408により、SDRAMインターフェース部410を介して外部DRAM411の符号化パラメータ領域に格納される。本実施の形態では、ピクチャレベル、マクロブロックレベル（マクロブロックレベルはマクロブロック毎に格納領域が割り当てられる）に分類されて格納される。このとき発生するビットストリームは、直接使用することがない（符号化における符号化パラメータのみ使用）ため、外部DRAM411に格納する必要はない。ここで符号化パラメータとは、例として下記のものをあらわす。

【0046】

（符号化パラメータがピクチャレベルの場合）

- ・ ピクチャタイプ
- ・ ターゲットビット
- ・ 発生符号量
- ・ 平均量子化ステップ
- ・ f コード（動きベクトルの範囲を示す）
- ・ 他統計値（画素の平均値、分散値等）

（符号化パラメータがマクロブロックレベルの場合）

- ・ 動きベクトル候補とその評価値
- ・ 量子化ステップ
- ・ マクロブロックタイプと判定に使用したパラメータ値
- ・ 発生符号量
- ・ 他パラメータ

【0047】

図6に示すように、フレームの前半期間でハーフD1フォーマット画像の符号化が一旦終了すると、次は、後半の符号化動作に入る。前半の符号化により得られた符号化パラメータを順次、外部DRAM411からパラメータ入出力部408を介して読み出し、符号化を実施する際の符号化パラメータとして参照し、必要な情報を適用する。このとき、ピクチャレベル、マクロブロックレベルの符号化パラメータの格納場所は事前に判明しているため、パラメータ入出力部408

は、必要なときに必要な情報を外部DRAM411から読み出すことで得ることができる。

【0048】

図7は外部DRAM411のメモリマップを示す説明図である。同図に示すように、SDRAMメモリ領域10において、リオーダと2パス符号化のための遅延フレーム分のための原画像領域12（nフレーム分）と符号化のための再構成画像領域11（2フレーム分）とビットストリーム領域13、符号化パラメータ領域14及び予備領域15がマッピングされている。

【0049】

図7に示すように、符号化パラメータ領域14はさらにピクチャ領域14pとマクロブロック領域14mに分割され、マクロブロック域14mは2次元（L×M）にマッピングされている。2次元にマッピングされたマクロブロック単位パラメータMB（x（1～Lのいずれか），y（1～Mのいずれか））にはそれぞれ、動き予測系パラメータ、DCT、量子化系パラメータ、発生ビット量パラメータ、各種統計値、及び輝度信号（Y1～Y4）、色差信号（Cb, Cr）系パラメータからなるパラメータ群が格納されている。これらのパラメータ群の各パラメータはマクロブロック単位で固定長になるように配列される。

【0050】

このように、マクロブロック領域14mはマクロブロック単位パラメータを2次元に配列することにより、マクロブロック単位のパラメータ取得のためのアドレス生成が容易になる効果を奏する。

【0051】

このため、後段の符号化においては、任意の領域の符号化パラメータをランダムに取り出すことが可能である。すなわち、図7に示すように、マクロブロック単位パラメータをSDRAMメモリ領域10内のマクロブロック領域14m内に格納しておけば、マクロブロック単位で2次元アドレッシングが容易にでき、特に動き予測関連のパラメータ群が符号化対象となるマクロブロックの上下左右に渡り参照したい場合などに容易にパラメータを抽出することができる。

【0052】

図8は実施の形態1の符号化LSIによってハーフD1フォーマットの信号に対する2パス符号化処理内容の具体例を示す説明図である。

【0053】

図8に示すように、原画入力がB1, B2, I3, B4, B5, P6, B7, B8, I9, B10, B11, P12, B13, B14, I15の順で行われた際（I, P, BはそれぞれIピクチャ, Pピクチャ, Bピクチャを意味する）、符号化順序がI3, B1, B2, P6, B4, B5, I9, B7, B8, P12, B10, B11, …の場合において、「P6」に対する符号化を2パスで行う例を示している。

【0054】

図9は実施の形態1の符号化制御部407の制御下で行うハーフD1フォーマットのビデオ信号に対する2パス符号化処理の処理の流れを示すフローチャートである。以下、図9を参照し、図8の例に基づく実施の形態1の2パス符号化処理について説明する。

【0055】

まず、ステップS1でフレーム期間の前半において、MPEG2符号化器402による第1の符号化処理を実行する。

【0056】

フレーム期間の前半に相当する図8の期間T1において、ピクチャ前処理期間 t_{p11} 、マクロブロック処理期間TMB31、ピクチャ後処理期間 t_{p12} の順に期間が設定される。そして、マクロブロック処理期間TMB31において、「P6」に対して符号化パラメータ生成のための第1の符号化処理を行う。

【0057】

次に、ステップS2で第1の符号化処理によって得られた符号化パラメータ（符号化処理用情報）を外部DRAM411に格納する。すなわち、符号化パラメータは、ビデオ出入力部403、動き予測／動き補償部404、DCT/Q及びIDCT/IQ部405及び可変長符号化部406から符号化制御部407を経由してパラメータ出入力部408に渡され、パラメータ出入力部408がSDRAMインターフェース部410を介して外部DRAM411に符号化パラメータを

格納する。この際、第1の符号化処理で得られた符号化パラメータは図7に示すように外部DRAM411のSDRAMメモリ領域10に格納される。

【0058】

その後、フレーム期間の後半においてMPEG2符号化器402による第2の符号化処理を実行する。この際、ステップS2で得た符号化パラメータが利用される。

【0059】

フレーム期間の後半に相当する図8の期間T2において、ピクチャ前処理期間 t_{p21} 、マクロブロック処理期間TMB32、ピクチャ後処理期間 t_{p22} の順に期間が設定される。そして、マクロブロック処理期間TMB32において、「P6」に対してビットストリーム信号SBSの生成のための第2の符号化処理が行われる。

【0060】

この際、第1の符号化処理で得られた符号化パラメータを外部DRAM411のSDRAMメモリ領域10から読み出し、この符号化パラメータを用いて第2の符号化処理を実行することにより、より効率的に符号化されたビットストリーム信号SBSを得ることができる。

【0061】

外部DRAM411に格納された符号化パラメータは外部DRAM411を経由してパラメータ入出力部408に渡される。パラメータ入出力部408は、入手した符号化パラメータを、符号化制御部407を介して、ビデオ入出力部403、動き予測／動き補償部404、DCT/Q及びIDCT/IQ部405及び可変長符号化部406に与える。

【0062】

このように、実施の形態1の符号化LSI401は、ハーフD1フォーマットの同一フレーム(nフレーム)の「P6」に対して、1フレーム期間中に2パス符号化処理による符号化処理を行うことができる。

【0063】

したがって、第1及び第2の符号化処理は共に同じMPEG2符号化器402

を用いて実行されるため、第1及び第2の符号化処理による符号化のためのリソースを増加させることはない。加えて、1フレーム期間に休止期間を設けることなく第1及び第2の符号化処理を連続的に行うことにより2パス符号化処理を効率的に行うことができる。

【0064】

また、同一フレームに対する2パス符号化処理を実行しているため、一のフレームに対する符号化を1フレーム期間中にすべて実行することができる。

【0065】

なお、図8で示す具体例では、ハーフD1の解像度変換を行った場合の2パス符号化について説明したが、3/4D1、2/3D1フォーマットについては、従来の現行TVサイズの符号化処理能力のMPEG2符号化器では、上記方式の2パス符号化は処理能力不足で、3/4D1フォーマットの2パス符号化を実施する際には、現行(MPML)MPEG2符号化器の1.5倍(3/4の2倍)、2/3D1フォーマットの2パス符号化を実施する際には、現行(MPML)MPEG2符号化器の1.33倍(2/3の2倍)の処理能力が必要となるが、単純に2系統のMPEG2符号化器を一般的な直列接続(図3)する場合に比べて少ない処理期間で2パス符号化が実現できる効果を奏する。

【0066】

<実施の形態2>

実施の形態1の構成及び符号化動作において、2パス符号化パラメータを得るための符号化動作(第1の符号化処理)と、実符号化(第2の符号化処理)が同一フレームを対象として実施される場合について示した。

【0067】

実施の形態2では、2パス符号化の符号化パラメータを得るための第1の符号化処理と第2の符号化処理との間で異なるフレームを対象とした処理を実施している。

【0068】

図10は実施の形態2の符号化LSIによる2パス符号化シーケンスを示す説明図である。

【0069】

同図に示すように、原画入力がB1, B2, I3, B4, B5, P6, B7, B8, I9, B10, B11, P12, B13, B14, I15の順で行われた際、符号化順序がI3, B1, B2, P6, B4, B5, I9, B7, B8, P12, B10, B11, …の場合において、「I9」及び「P6」に対する符号化を2パスで行う例を示している。

【0070】

前段の符号化を行う期間T1において、ピクチャ前処理期間 t_{p11} 、マクロブロック処理期間 T_{MB41} 、ピクチャ後処理期間 t_{p12} の順に時間が設定される。そして、マクロブロック処理期間 T_{MB41} において、「I9」に対して符号化パラメータ生成のための第1の符号化処理を行う。第1の符号化処理で得られた符号化パラメータは外部DRAM411のSDRAMメモリ領域10に格納される。

【0071】

図11は実施の形態2の外部DRAM411のSDRAMメモリ領域10におけるメモリマップを示す説明図である。同図に示すように、符号化パラメータ領域17は部分符号化パラメータ領域17a～17dに分割される。なお、図7では図示しなかったが、ビットストリーム領域13は4フレーム分の部分ビットストリーム領域13a～13dで構成されている。

【0072】

そして、「I9」に対して符号化パラメータが生成された時は、図11に示すように、部分符号化パラメータ領域17aには「P6」に対する第1の符号化処理で得られた符号化パラメータが格納され、部分符号化パラメータ領域17bには「B4」に対する第1の符号化処理で得られた符号化パラメータが格納され、部分符号化パラメータ領域17cには「B5」に対する第1の符号化処理で得られた符号化パラメータが既に格納されている。そして、部分符号化パラメータ領域17dに、最新の第1の符号化処理で得られた「I9」用の符号化パラメータが格納される。

【0073】

すなわち、実施の形態2では、実符号化対象のフレーム（nフレーム）に対し、当該フレーム（nフレーム）に加え、3フレーム先のフレーム（(n+1)フレーム～(n+3)フレーム）の第1の符号化処理による符号化パラメータを利用している。

【0074】

後段の符号化を行う期間T2において、ピクチャ前処理期間tp21、マクロブロック処理期間TMB42、ピクチャ後処理期間tp22の順に期間が設定される。そして、マクロブロック処理期間TMB42において、「P6」に対してビットストリーム信号生成のための第2の符号化処理を行う。この際、符号化パラメータ領域17に格納された、第1の符号化処理で得られた4フレーム分（P6, B4, B5, I9）の符号化パラメータを用いる。

【0075】

このように、実施の形態2では、異なるフレームに対する第1及び第2の符号化処理を実行することにより、より効率的な符号化が可能となる。すなわち、ハーフD1フォーマットのフレームの「P6」に対して4フレーム分の符号化パラメータが利用される2パス符号化処理による符号化処理を1フレーム期間中に行うことにより、効率的な符号化が可能となる。

【0076】

したがって、実施の形態2では、より効率的な符号化制御が可能になり、高画質化を実現できる。また、4フレーム分の符号化パラメータをすべて適用しなくとも、必要に応じて適宜、選択的に利用しても良い。

【0077】

<実施の形態3>

実施の形態1においては、フレーム前半の符号化動作は符号化パラメータを抽出するためのもので、そこから出力されるビットストリームは使用しない場合について示した。

【0078】

実施の形態3では、第1の符号化処理によって得られるビットストリーム信号SBSを外部DRAM411に格納しておき再利用する。また、実施の形態3は

、実施の形態2と同様、2パス符号化の符号化パラメータを得るための第1の符号化処理と第2の符号化処理との間で異なるフレームを対象とした処理を実施している。

【0079】

図12は実施の形態3の符号化LSIによる2パス符号化シーケンスを示す説明図である。

【0080】

同図に示すように、原画入力がB1, B2, I3, B4, B5, P6, B7, B8, I9, B10, B11, P12, B13, B14, I15の順で行われた際、符号化順序がI3, B1, B2, P6, B4, B5, I9, B7, B8, P12, B10, B11, …の場合において、「P6」に対する符号化を2パスで行う例を示している。

【0081】

前段の符号化を行う期間T1において、ピクチャ前処理期間 t_{p11} 、マクロブロック処理期間 $TMB51$ 、ピクチャ後処理期間 t_{p12} の順に期間が設定される。そして、マクロブロック処理期間 $TMB51$ において、「I9」に対して符号化パラメータ及びビットストリーム信号生成のための第1の符号化処理を行う。第1の符号化処理で得られた第1のビットストリーム信号は外部DRAM411のSDRAMメモリ領域10のビットストリーム領域16に格納される。

【0082】

この時点で、既に行われている、3フレーム前のフレーム（nフレーム～（n+2）フレーム）の第1の符号化処理による第1のビットストリーム信号もSDRAMメモリ領域10が既に格納されている。

【0083】

また、実施の形態2と同様、実符号化対象のフレーム（nフレーム）に対し、当該フレーム（nフレーム）に加え、3フレーム先のフレーム（（n+1）フレーム～（n+3）フレーム）の第1の符号化処理による符号化パラメータもSDRAMメモリ領域10に格納されることになる。

【0084】

図13は実施の形態3の外部DRAM411のSDRAMメモリ領域10におけるメモリマップを示す説明図である。同図に示すように、ビットストリーム領域13の他に1パス用ビットストリーム領域16が設けられる。第1の符号化処理によって得られたビットストリーム信号は、1パス用ビットストリーム領域16内に格納される。ビットストリーム領域16もビットストリーム領域13同様、4フレーム分の部分ビットストリーム領域16a～16dから構成される。

【0085】

後段の符号化を行う期間T2において、ピクチャ前処理期間 t_{p21} 、マクロブロック処理期間TMB52、ピクチャ後処理期間 t_{p22} の順に期間が設定される。そして、マクロブロック処理期間TMB52において、「P6」に対して第2のビットストリーム信号生成のための第2の符号化処理を行う。この際、実施の形態2と同様、符号化パラメータ領域17に格納された、第1の符号化処理で得られた4フレーム分(P6, B4, B5, I9)の符号化パラメータを用いる。

【0086】

そして、1パス用ビットストリーム領域16に格納されたフレーム「P6」に対応する第1のビットストリーム信号(ビットストリーム領域16に格納)と第2のビットストリーム信号(ビットストリーム領域13に格納)との間において総ビット量等を比較し、第1及び第2のビットストリーム信号のうち、符号化が効率的な状態で符号化出来ていると判断したビットストリーム信号を、実際にビットストリーム出力端子414から出力するビットストリーム信号SBS(出力ビットストリーム信号)として送出することができる。

【0087】

このように、実施の形態3では、異なるフレームに対する第1及び第2の符号化処理を順次行いながら、同一フレームに対応する第1及び第2のビットストリーム信号から選択的にビットストリーム信号SBSを決定することにより、より符号化が効率的な状態のビットストリーム信号SBSを送出することができる。

【0088】

<実施の形態4>

図14はこの発明の実施の形態4である画像符号化装置の構成を示すブロック図である。同図に示すように、画像符号化装置は符号化LSI501及び外部DRAM411から構成される。符号化LSI501内のMPEG2符号化器502は、同種の動き予測／動き補償を行いその内容が異なる2種類の動き予測／動き補償部404A及び404B（第1及び第2の部分符号化部）を有している点でことなる。

【0089】

動き予測／動き補償部404A及び404Bは符号化制御部407の制御下で、動き予測／動き補償部404Aは第1の符号化処理の際に用いられ、動き予測／動き補償部404Bは第2の符号化処理に際に用いられる。動き予測／動き補償部404Aは広範囲低密度な動き予測処理（第1の部分符号化処理）を行い、動き予測／動き補償部404Bは狭範囲高密度な動き予測処理（第2の部分符号化処理）を行う。なお、他の構成は図4で示した符号化LSI401と同様であるため、図4と同様の部分については同一の参照符号を付しその説明を省略する。

【0090】

以下、実施の形態1で用いた図8を利用して、実施の形態4の符号化LSI501による2パス符号化処理を説明する。

【0091】

前段の符号化を行う期間T1において、ピクチャ前処理期間 t_{p11} 、マクロブロック処理期間TMB31、ピクチャ後処理期間 t_{p12} の順に期間が設定される。そして、マクロブロック処理期間TMB31において、「P6」に対して動き予測／動き補償部404Aを用いた第1の符号化処理を行う。

【0092】

この第1の符号化処理は主として動き補償用符号化パラメータ生成のために行われ、第1の符号化処理で得られた符号化パラメータは図7に示すように外部DRAM411のSDRAMメモリ領域10の符号化パラメータ領域17に格納される。

【0093】

後段の符号化を行う期間T2において、ピクチャ前処理期間tp21、マクロブロック処理期間TMB32、ピクチャ後処理期間tp22の順に期間が設定される。そして、マクロブロック処理期間TMB32において、「P6」に対して動き予測／動き補償部404Bを用いた第2の符号化処理を行う。

【0094】

この第2の符号化処理に際して、第1の符号化処理で得られた符号化パラメータを用いることにより探索範囲を絞り込むことができるため、動き予測／動き補償部404Bによって高密度（高精細）な探索による動き補償を処理時間に悪影響を与えることなく行うことができる。

【0095】

このように第1及び第2の符号化処理を異なる動き予測／動き補償部404A及び404Bを用いて行うことにより、第1及び第2の符号化処理により適した動き予測／動き補償が可能となる。

【0096】

なお、実施の形態4は実施の形態1の処理内容と同様に同一フレームに対する第1及び第2の符号化処理を行ったが、実施の形態2、実施の形態3の処理内容と同様に異なるフレームに対する第1及び第2の符号化処理を行うように構成してもよい。要するに第1の符号化処理においては動き予測／動き補償部404Aを用い、第2の符号化処理においては動き予測／動き補償部404Bを用いれば良い。

【0097】

なお、実施の形態4では、演算ユニット（部分符号化部）として動き予測／動き補償部を複数種設けた例を示したが、他の演算ユニット（ビデオ入出力部、DCT/Q及びIDCT/IQ部、可変長符号化部あるいはパラメータ入出力部）を複数種設けて、第1及び第2の符号化処理間の異なる種類の演算ユニットを用いるようにしても良い。

【0098】

すなわち、2パス符号化で効果的な演算ユニットのみ複数種設けることにより、効果的な2パス符号化を実現できる。また、1パス目、2パス目それぞれの符

号化においてはどちらの演算ユニットを使用するかを適宜、スイッチ等を用いて選択するように構成することも可能で、柔軟な符号化が実現できる。

【0099】

【発明の効果】

以上説明したように、この発明における請求項1記載の画像符号化装置の符号化制御部は、動画像符号化器が所定期間内に第1及び第2の符号化処理を休止期間を設けることなく連続して行うように制御している。

【0100】

したがって、一の動画像符号化器を用いることにより、第1及び第2の符号化処理による符号化のためのリソースを増加させることはない。加えて、所定期間に休止期間を設けることなく第1及び第2の符号化処理を連続的に行うことにより2パス符号化処理を効率的に行うことができる。

【図面の簡単な説明】

【図1】 M P E G 2に準拠した一般的な画像符号化装置の構成を示すブロック図である。

【図2】 種々の映像フォーマットを示す説明図である。

【図3】 一般的な2パス符号化装置の構成を示すブロック図である。

【図4】 この発明の実施の形態1である画像符号化装置の構成を示すブロック図である。

【図5】 1パス符号化時におけるM P E G 2符号化動作期間割り当て内容を示す説明図である。

【図6】 実施の形態1によるM P E G 2符号化動作期間割り当て内容を示す説明図である。

【図7】 外部D R A Mのメモリマップを示す説明図である。

【図8】 実施の形態1の符号化L S Iによって行う2パス符号化処理内容の具体例を示す説明図である。

【図9】 実施の形態1の2パス符号化処理の流れを示すフローチャートである。

【図10】 実施の形態2の符号化L S Iによる2パス符号化シーケンスを

示す説明図である。

【図11】 実施の形態2の外部DRAMのSDRAMメモリ領域におけるメモリマップを示す説明図である。

【図12】 実施の形態3の符号化LSIによる2パス符号化シーケンスを示す説明図である。

【図13】 実施の形態3の外部DRAMのSDRAMメモリ領域におけるメモリマップを示す説明図である。

【図14】 この発明の実施の形態4である画像符号化装置の構成を示すブロック図である。

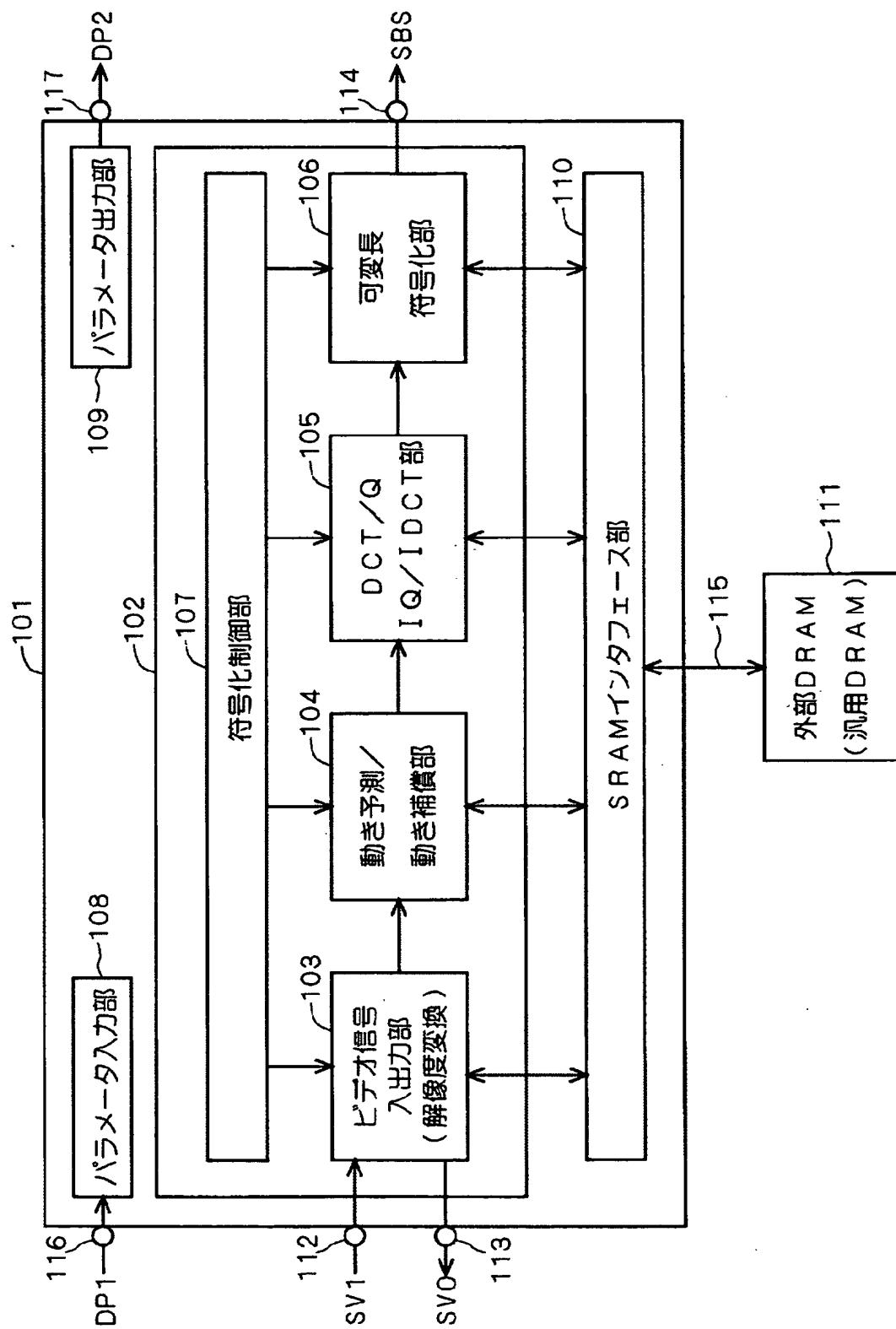
【符号の説明】

401, 501 符号化LSI、402, 502 MPEG2符号化器、403 ビデオ入出力部、404, 404A, 404B 動き予測／動き補償部、405 DCT/Q及びIDCT/IQ部、406 可変長符号化部、408 パラメータ入出力部、410 SDRAMインターフェース部、411 外部DRAM。

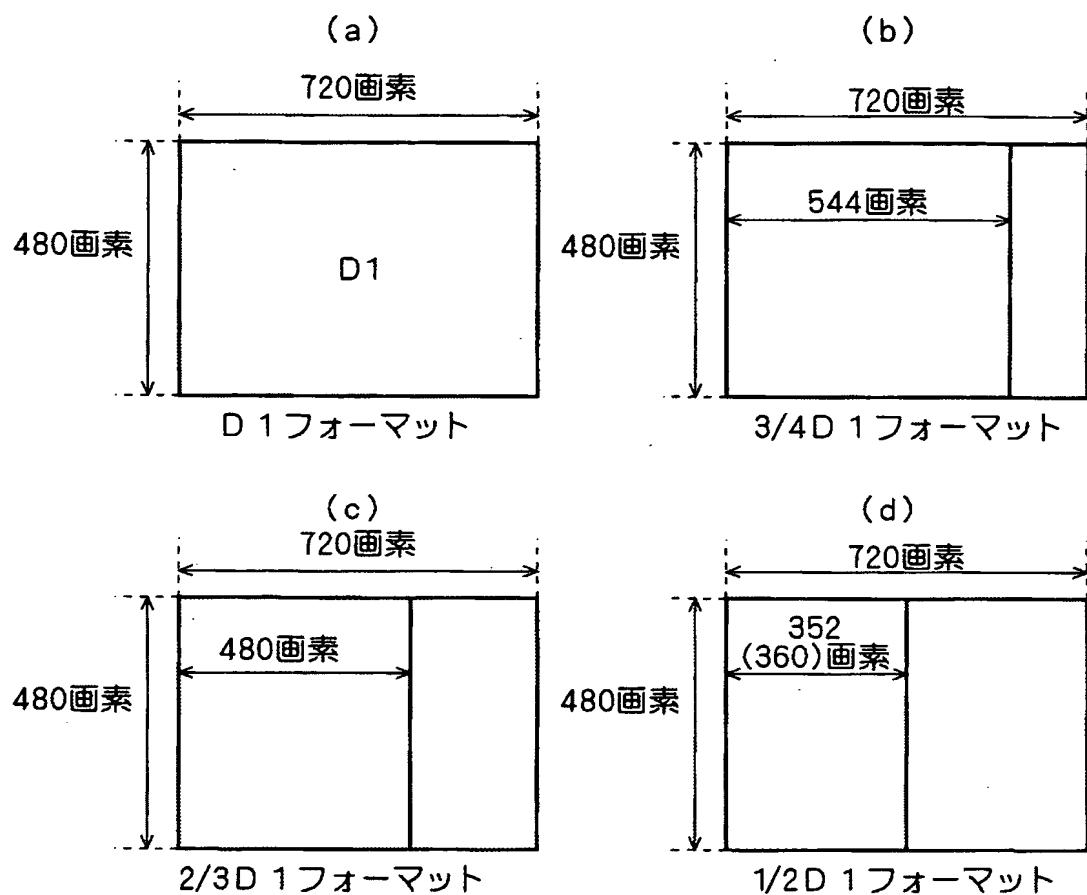
【書類名】

図面

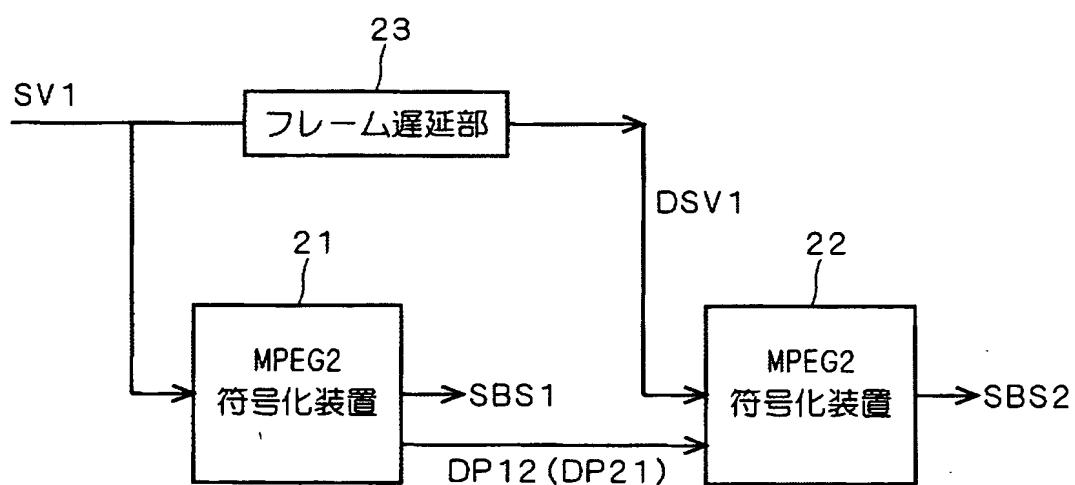
【図1】



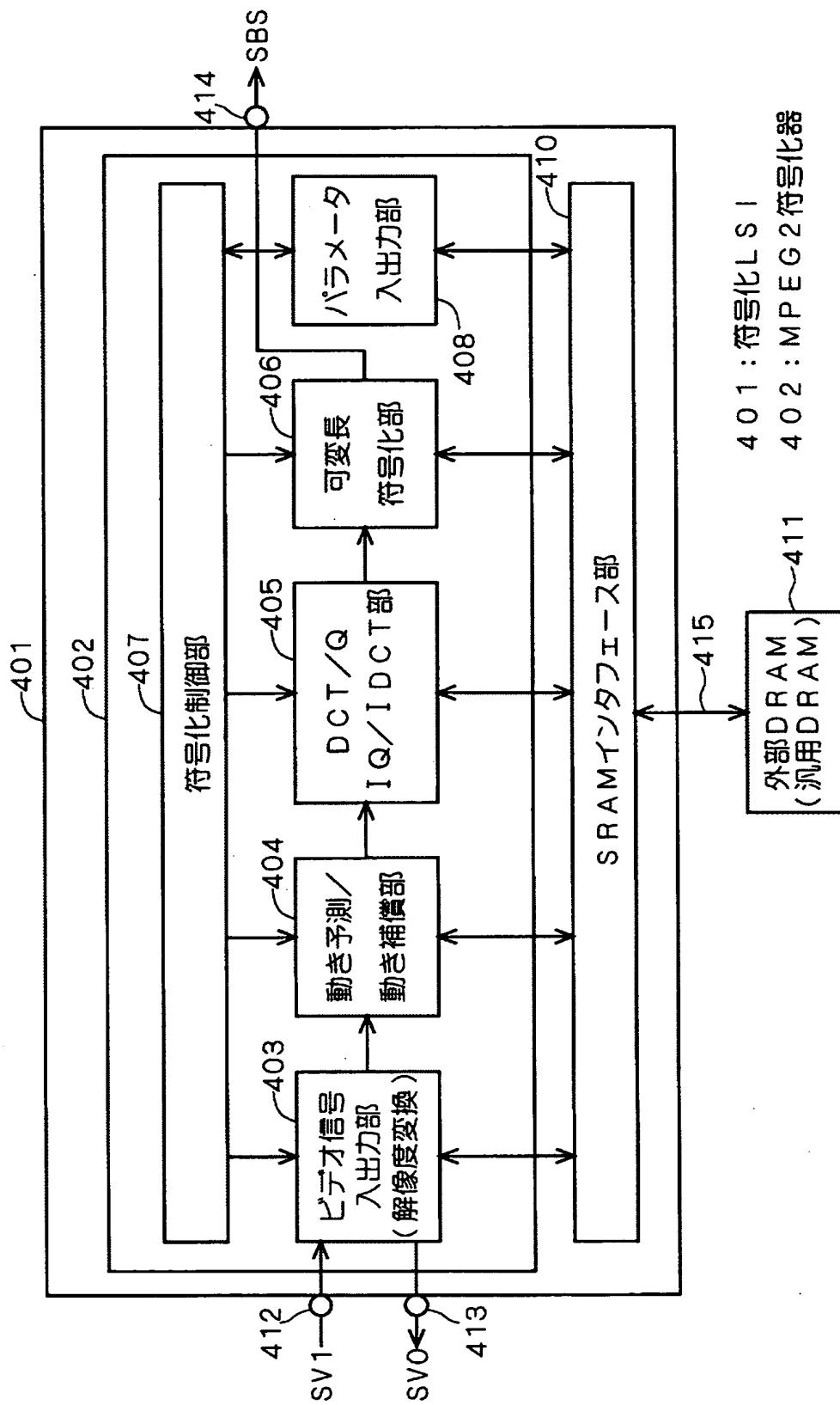
【図2】



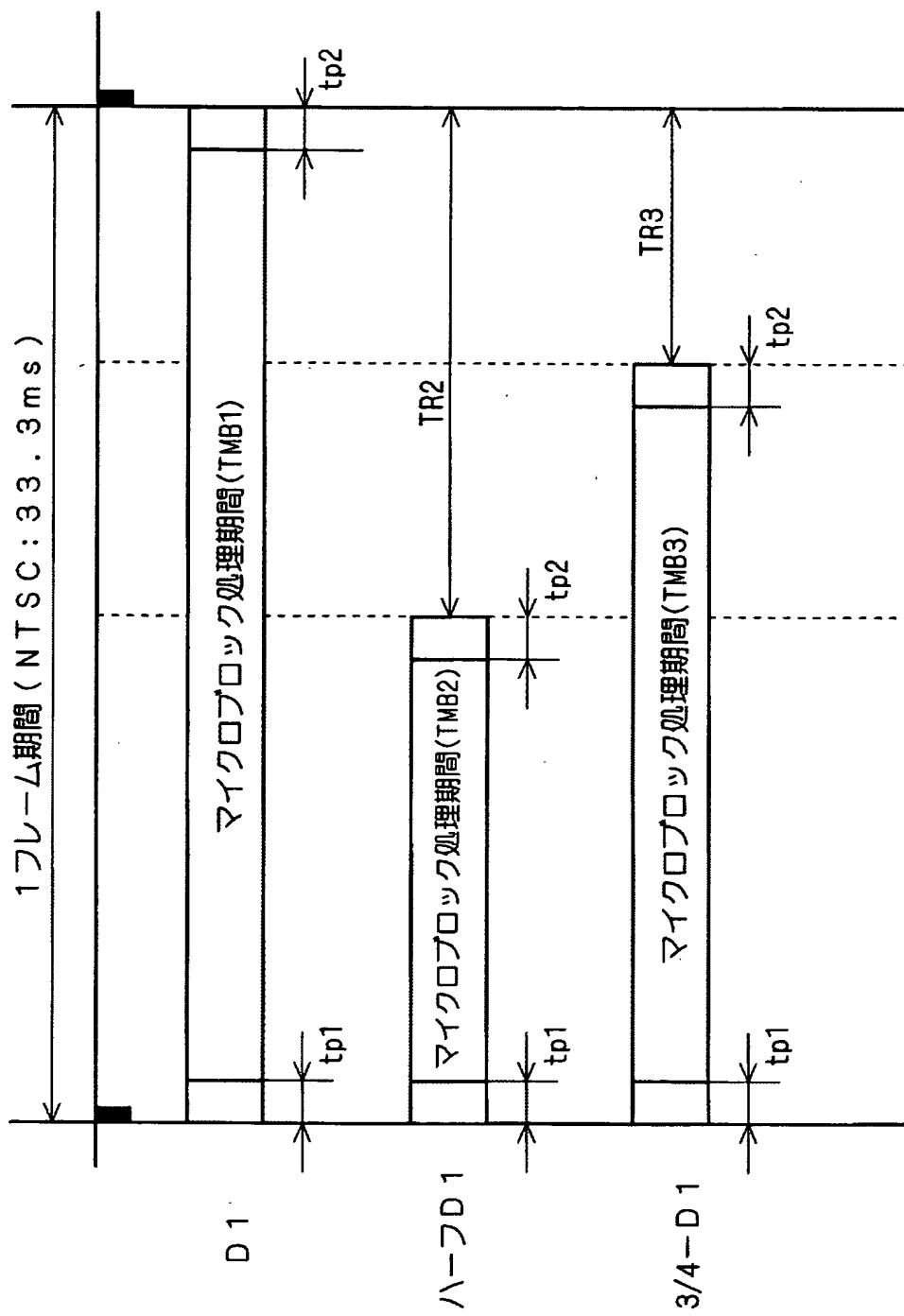
【図3】



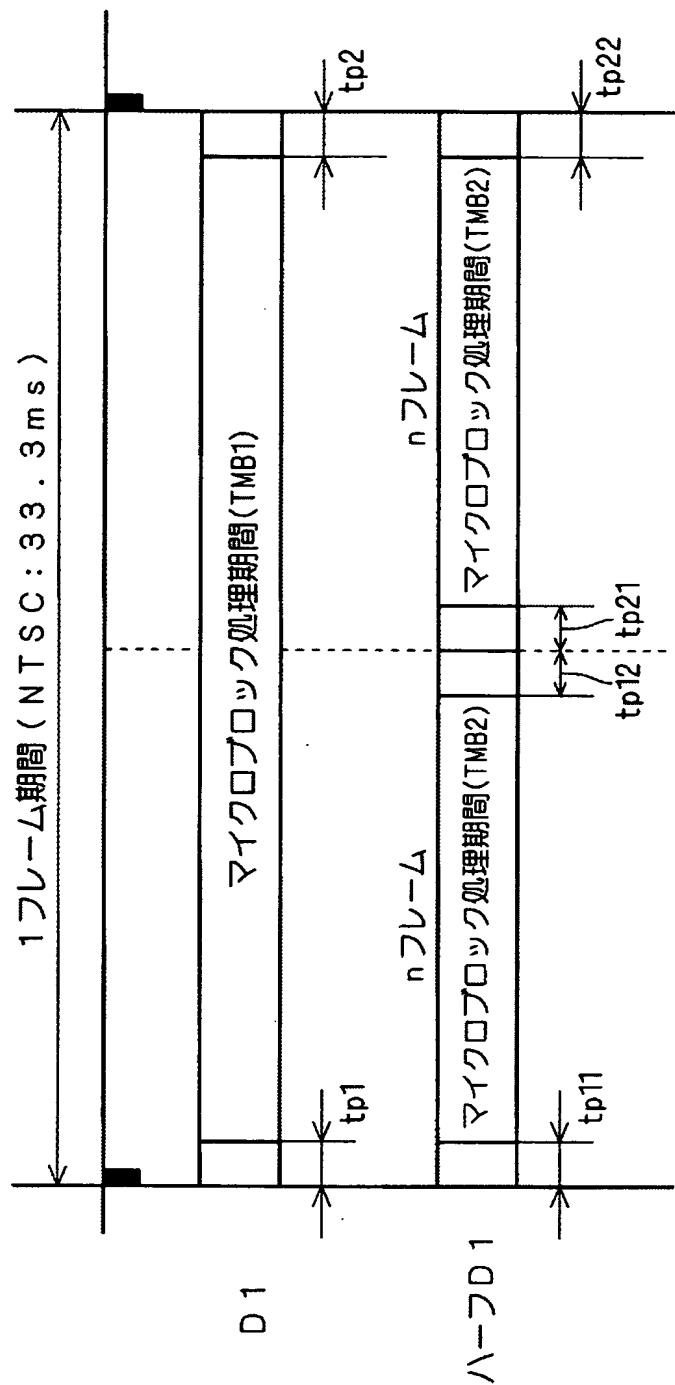
【図4】



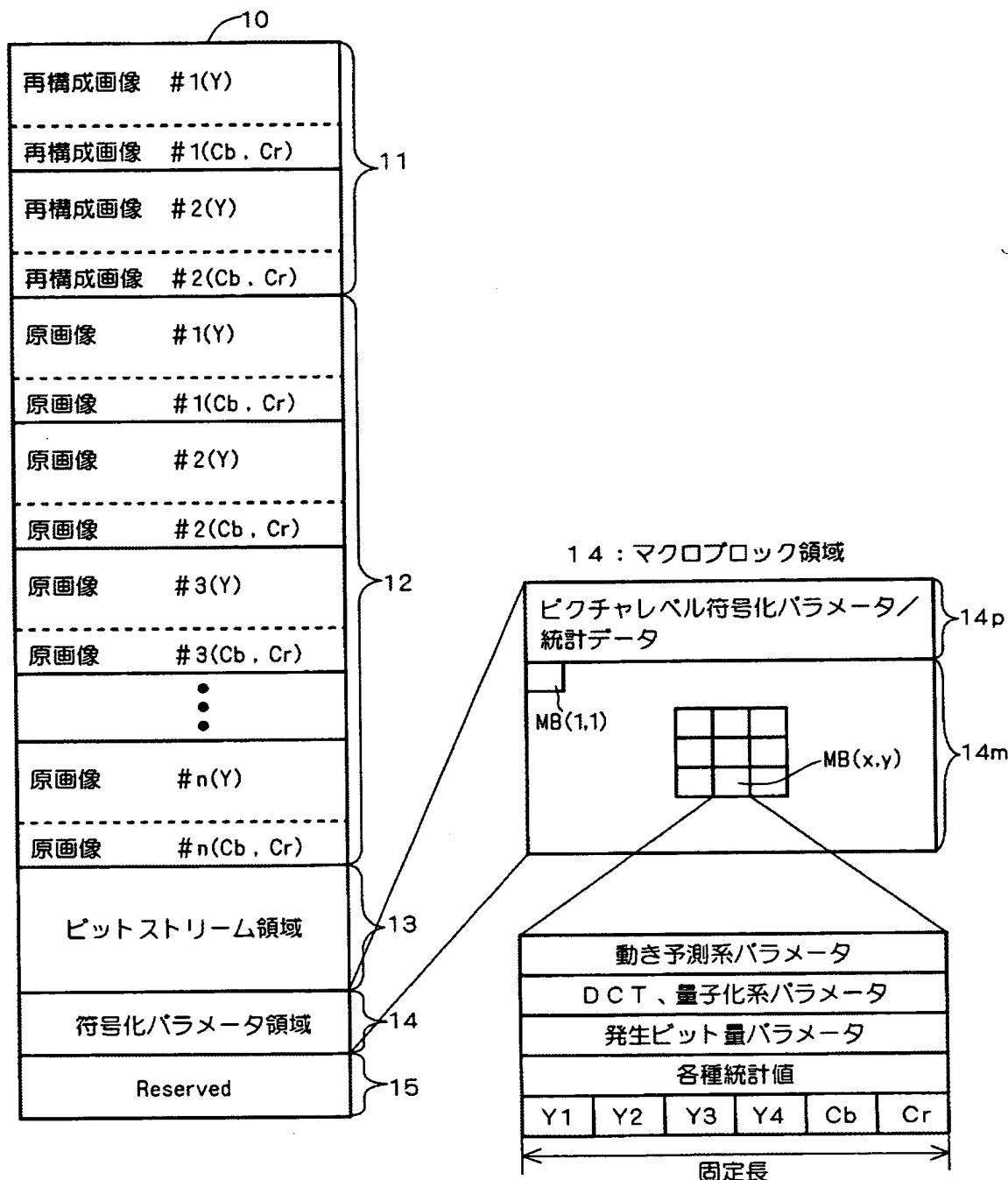
【図5】



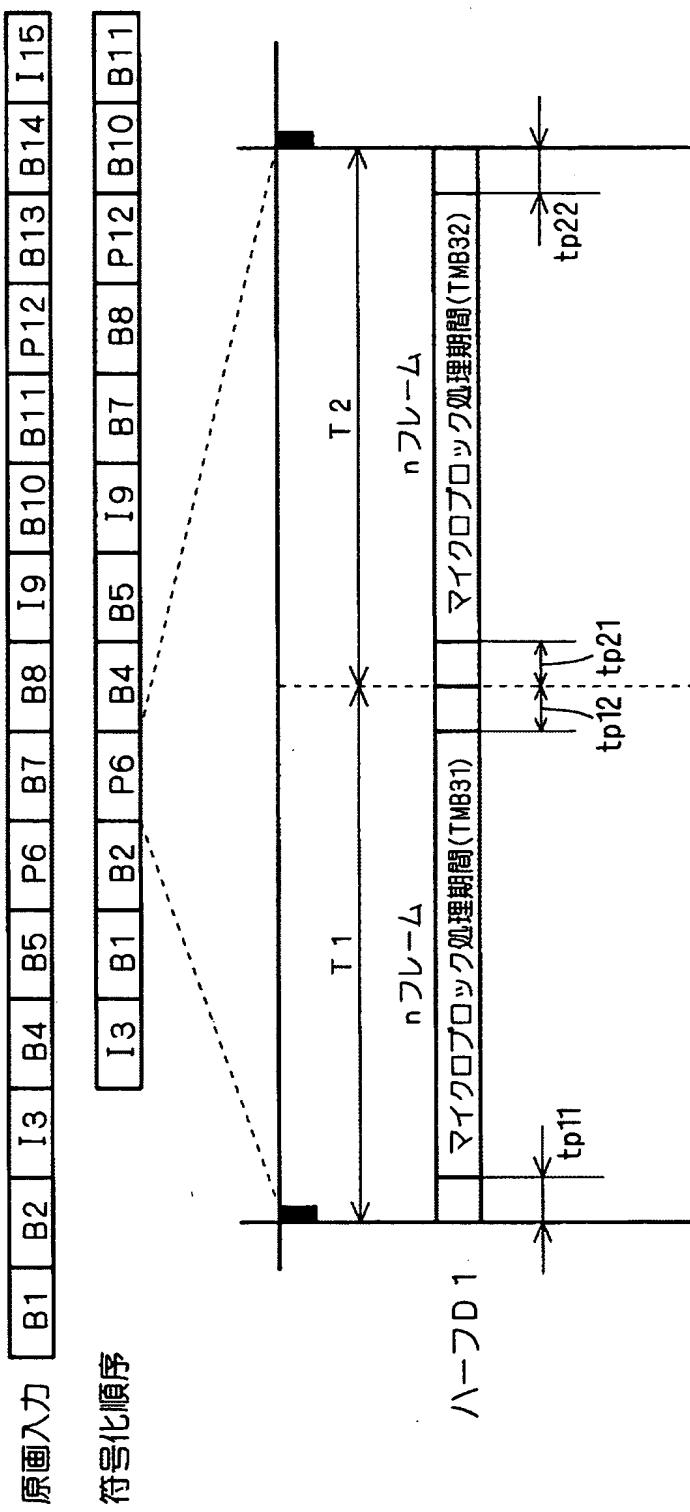
【図6】



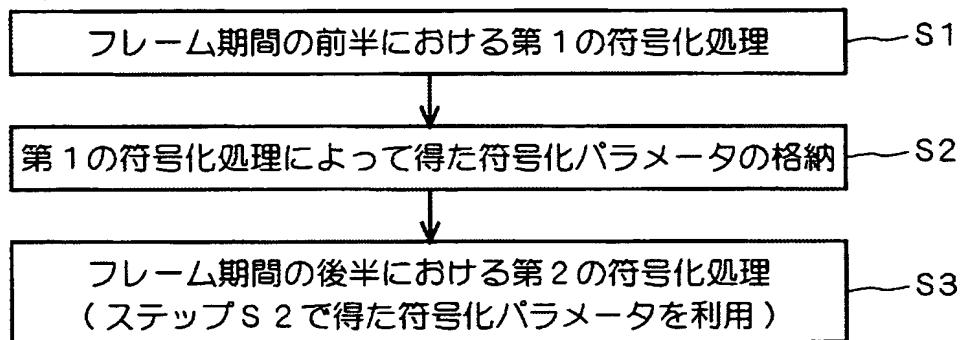
【図7】



【図8】

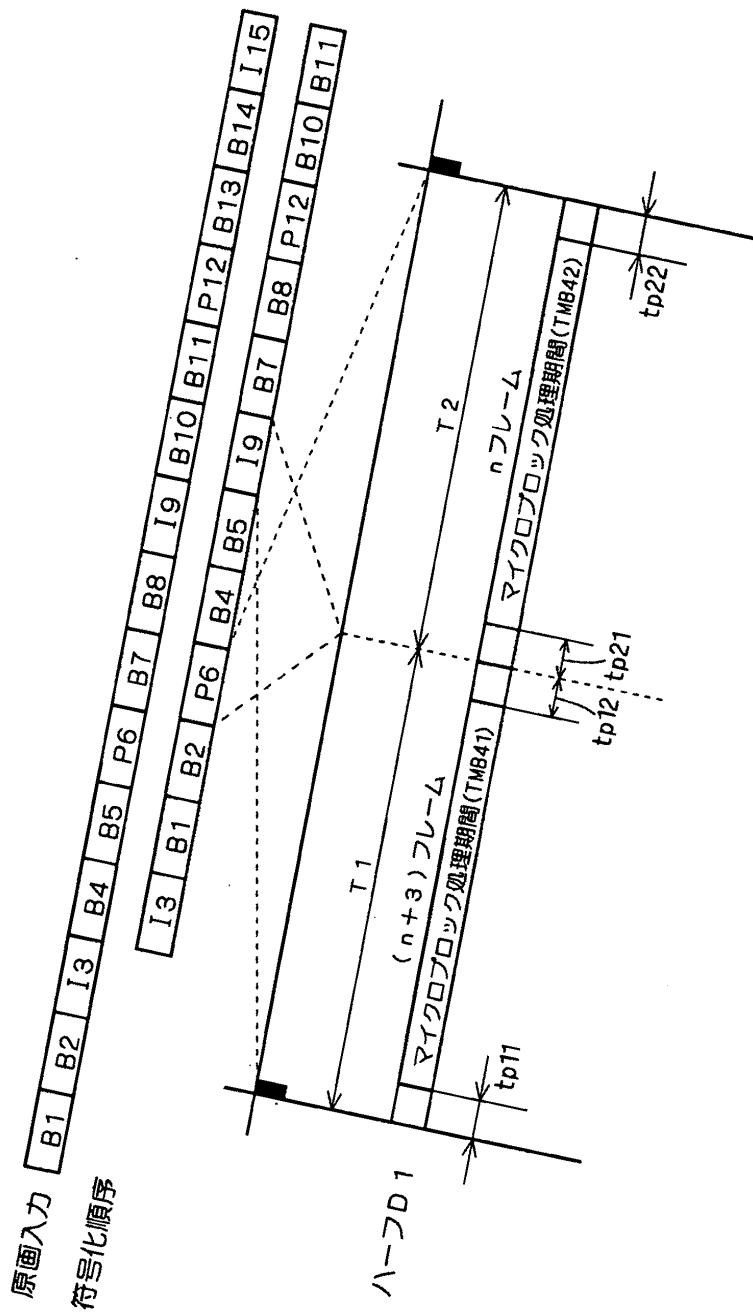


【図9】

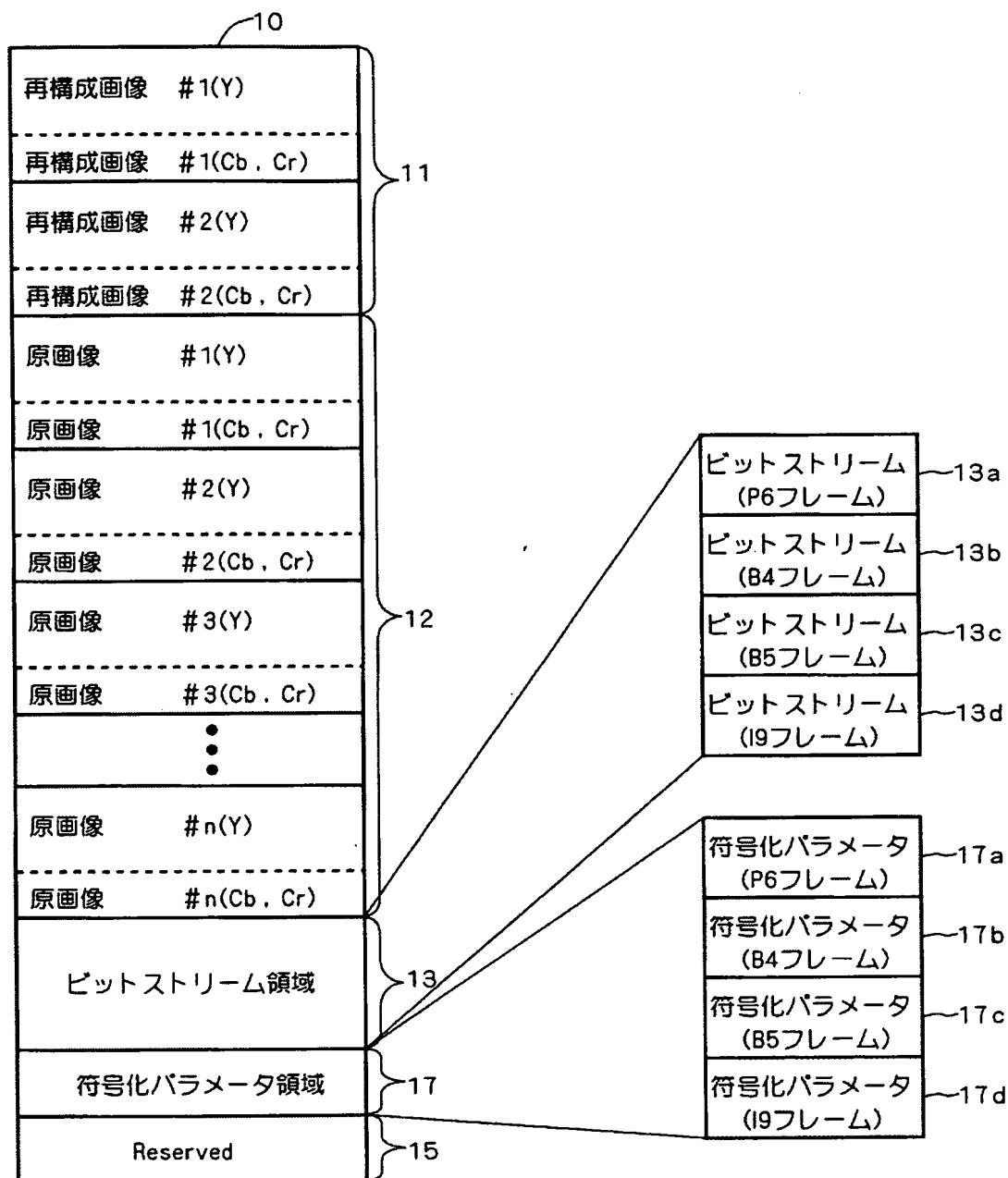


特2003-059795

【図10】

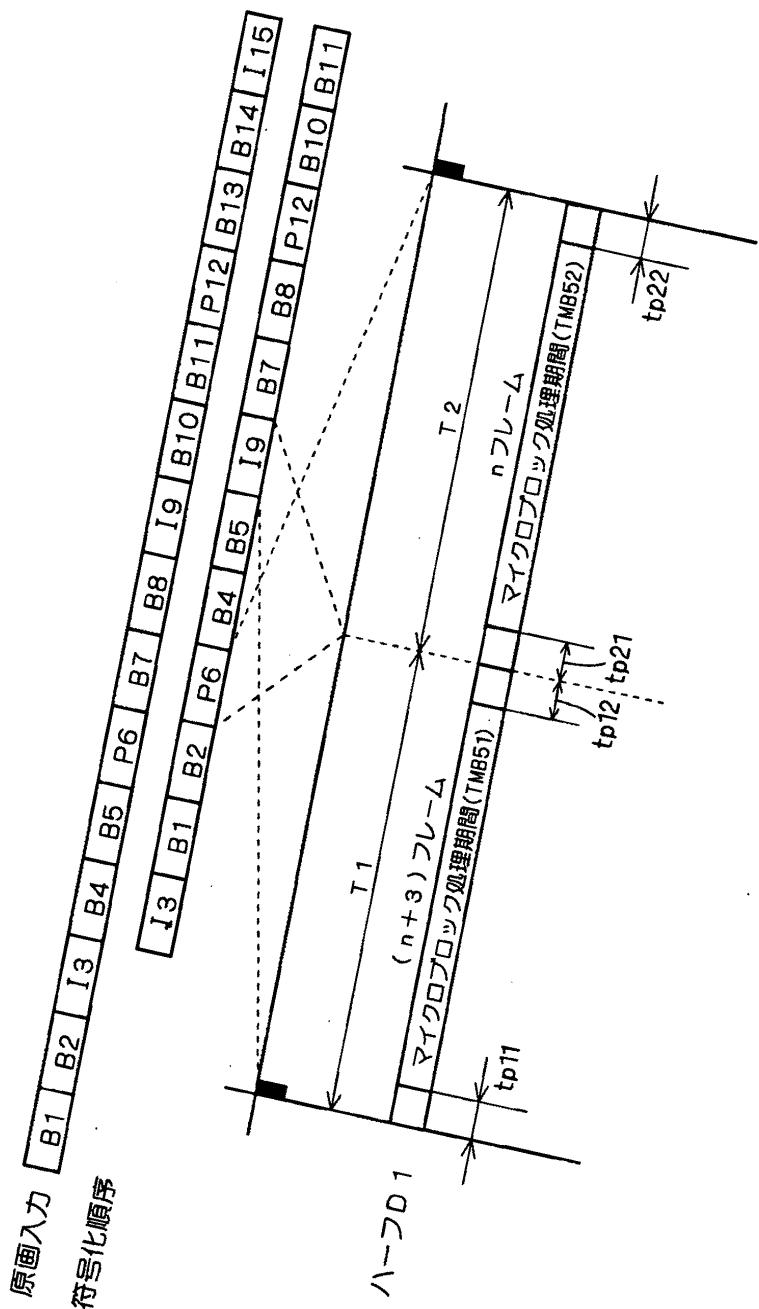


【図11】

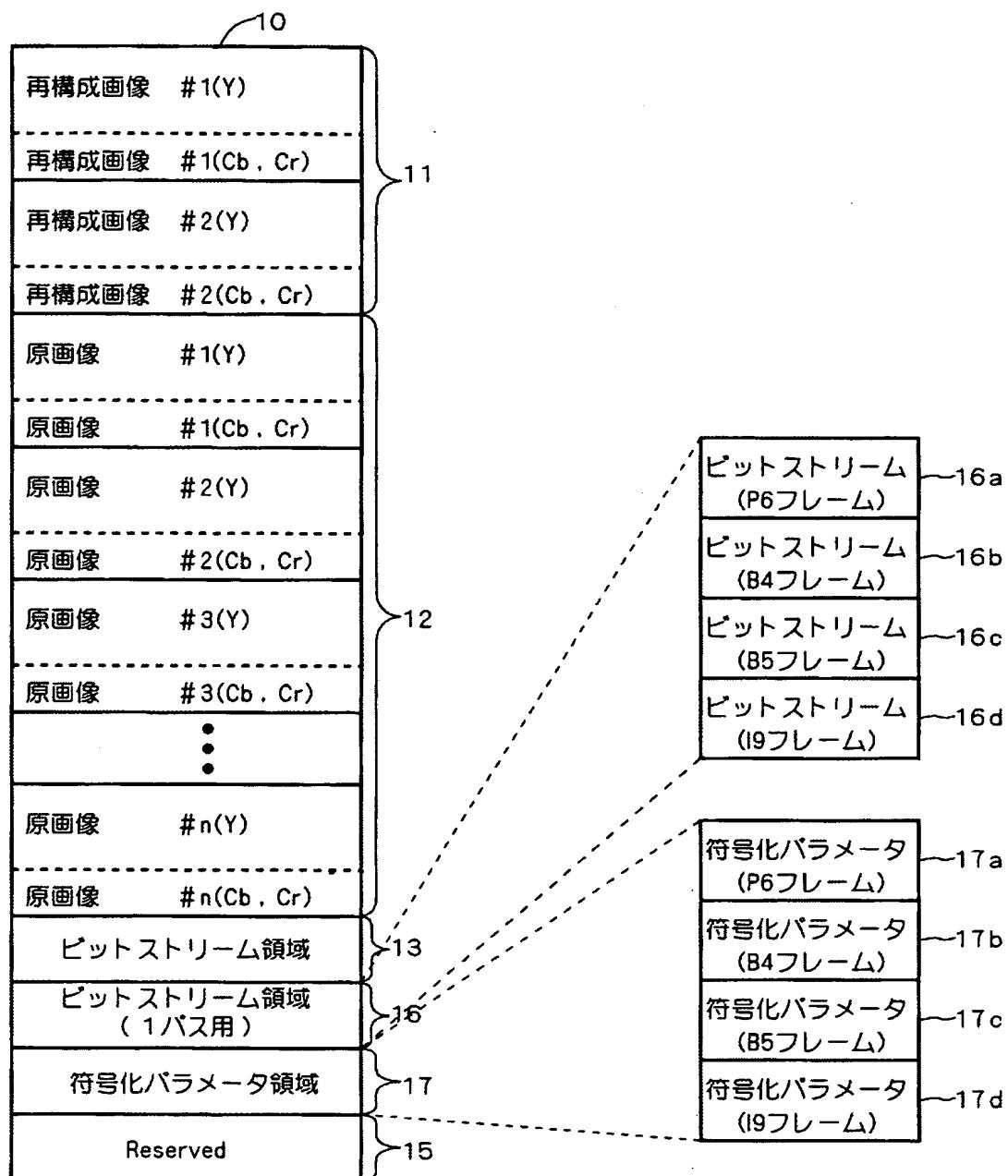


特2003-059795

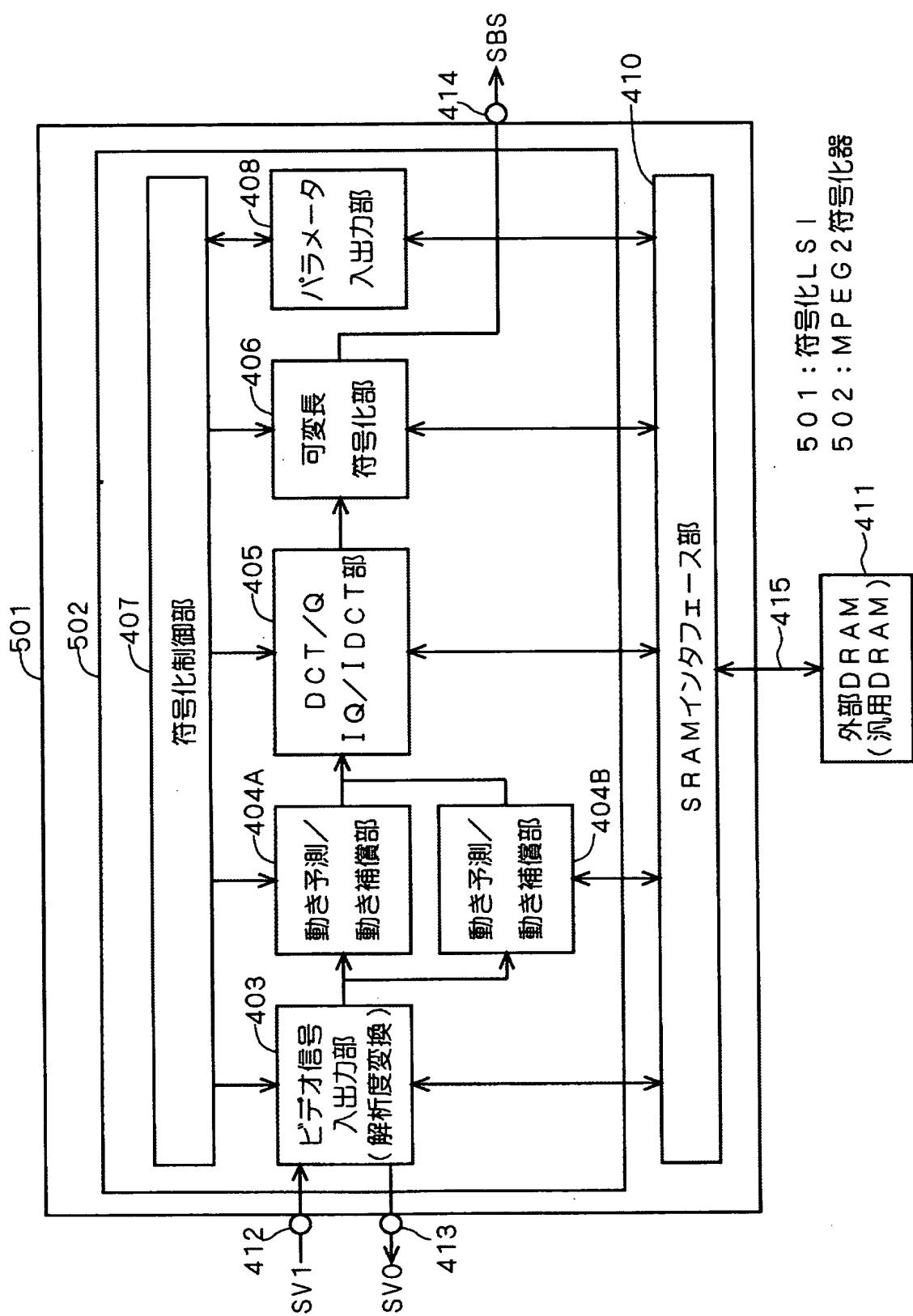
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 ハードウェア（符号化のためのリソース）を増加させること無く、2パス符号化処理を効率的に実現する画像符号化装置を得る。

【解決手段】 第1の符号化処理により得られた符号化パラメータは、各信号処理部403～406から符号化制御部407を経由してパラメータ入出力部408に渡され、パラメータ入出力部408がSDRAMインターフェース部410を介して外部DRAM411に符号化パラメータを格納する。第2の符号化処理の際、外部DRAM411に格納された符号化パラメータは外部DRAM411を経由してパラメータ入出力部408に渡され、パラメータ入出力部408は、入手した符号化パラメータを、符号化制御部407を介して各信号処理部403～406に与える。

【選択図】 図4

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社